

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2000 EPO. All rts. reserv.

8117589

Basic Patent (No,Kind,Date): JP 63104026 A2 880509 <No. of Patents: 001>

MANUFACTURE OF LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): OTA KENICHI

IPC: *G02F-001/133;

JAPIO Reference No: 120350P000033

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 63104026	A2	880509	JP 86251010	A	861021 (BASIC)

Priority Data (No,Kind,Date):

JP 86251010 A 861021

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02487126 **Image available**

MANUFACTURE OF LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 63-104026 [JP 63104026 A]

PUBLISHED: May 09, 1988 (19880509)

INVENTOR(s): OTA KENICHI

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 61-251010 [JP 86251010]

FILED: October 21, 1986 (19861021)

INTL CLASS: [4] G02F-001/133; G02F-001/133

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 760, Vol. 12, No. 350, Pg. 33,
September 20, 1988 (19880920)

ABSTRACT

PURPOSE: To uniformly execute an orientation processing on a display electrode, and to eliminate an uneven display by flattening a passivation layer by an etchback method.

CONSTITUTION: A gate electrode 2 and a gate insulating layer 3 are laminated on a transparent substrate 1, and a semiconductor layer 4 is provided thereon. Also, a source electrode 6, a drain electrode 5, and a display electrode 7 connected to the source electrode are provided, thereafter, silicon nitride is formed as a passivation layer 8 on the whole surface, and also, a resist 9 is applied, and a flat shape is obtained by relaxing a level difference by viscosity. Subsequently, plasma etching under the condition that etching speeds of the passivation layer 8 and the resist 9 become the same is executed up to the surface of a low part of the passivation layer 8, and by adopting such an etchback method, flattening is executed. It can be executed to apply an oriented film 10 onto the passivation layer 8, and to perform a uniform orientation processing to the whole surface on the display electrode 7.

⑫ 公開特許公報(A)

昭63-104026

⑪ Int. Cl.

G 02 F 1/133

識別記号

3 2 7
3 0 3

庁内整理番号

8205-2H
7370-2H

⑬ 公開 昭和63年(1988)5月9日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 液晶表示装置の製造方法

⑮ 特 願 昭61-251010

⑯ 出 願 昭61(1986)10月21日

⑰ 発 明 者 太 田 健 一

東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社

東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

液晶表示装置の製造方法

2. 特許請求の範囲

透明基板の上に薄膜トランジスタを形成し、該薄

膜、配向膜を塗布し配向処理を施した液晶表示装置の製造方法において、前記パッシベーション層形成後レジスト層を塗布しプラズマエッチングにより該レジスト層と該パッシベーション層表面とをエッチングして、前記パッシベーション層の表面を平坦にしたことを特徴とする液晶表示装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は液晶表示装置用電極基板の製造方法に関し、特に電極基板の平坦化に関する。

〔従来の技術〕

従来、液晶表示装置用電極基板は第3図の断面図によって示される工程にて作製される。まず透明基板1上にゲート電極2を金属にて形成し、その上にゲート絶縁層3、半導体層4を形成する。ゲート絶縁層3としては酸化シリコンを、半導体層4としてはアモルファスシリコンをそれぞれブレイクダウンして形成する。その後、ドレ

イン電極5、ソース電極6を形成し、トランジスタが作製される(第3図(a))。

次にソース電極と連なる表示電極7を透明電極膜で形成し、パッシベーション層8を形成する(第3図(b))。

その後、全面を配向膜10で被覆する。配向膜10はポリイミドを塗布焼成したものが用いられる(第3図(c))。

その後、この様に作製された電極基板に配向処理を施す。これは、この電極基板を用いて液晶表示装置を構成する場合、電極基板上に接して設けられる液晶の分子を一方向に配向せしめる為のも

のである。実施例には第4図(a)に示される様に、回転している綿布ローラー12で配向膜10表面をこすり、配向膜10の表面に無數の微細なキズ13を作る。第4図(b)は、電極基板の平面図であるが、通常、液晶表示装置の視角依存性の点から配向のキズ13は斜めにつけられる。

〔発明が解決しようとする問題点〕

ここで、通常各層の厚さはゲート電極2が1,000Å、半導体層4が3,000Å、ドレイン電極5及びソース電極6が2,500Å、表示電極9が800Å、パッシベーション層8が2,000Åであり、また配向膜は800Åである。よって第3図(c)より明らかな様に、ドレイン電極5及びソース電極6の上のパッシベーション層8の表面と表示電極7の上のパッシベーション層8の表面との高低差は5,700Å($=1,000\text{Å}+3,000\text{Å}+2,500\text{Å}-800\text{Å}$)となる。この上に配向膜10が被覆されるが、800Å程度ではほとんど段差の緩和に役立たない。

この為、ドレイン電極5及びソース電極6の近傍では、表示電極7上に綿布ローラー12が落ち

込み、配向のキズ13は第4図(b)の様に配向不良となる領域14が存在し、表示電極7上全面に一様にはつかない。この様な配向処理を施された電極基板を用いて液晶表示装置を構成した場合、表示電極7上のキズ13のない部分が配向不良部となり、目視上では表示ムラとして現われる。〔問題点を解決するための手段〕

本発明の液晶表示装置用電極基板の製造方法においては、薄膜トランジスタと表示電極とが形成された基板上にパッシベーション層とレジスト層とを塗布し、プラズマエッチングによりレジスト層とパッシベーション層との表面をエッチングして平坦なパッシベーション層を得るようにしている。

〔実施例〕

以下、本発明について図面を参照して説明する。

第1図は本発明の一実施例の工程を示す断面図である。第1図(a)に示される様に、透明基板1上にゲート電極2とゲート絶縁膜3とを積層し、その上に半導体層4を設け、さらにソース電極・ド

レイン電極5とソース電極に連続する表示電極7を設けた後、全表面にパッシベーション層8として酸化シリコンをプラズマCVDにて6000Å形成し、更にレジスト9を約1μ塗布した。レジスト9は粘性により段差を緩和して平坦な形状となる。この時レジスト9の表面の高低差は1000Å程度となった。

パッシベーション層8とレジスト9とのエッチング速度が同一となる条件でのプラズマエッチングをパッシベーション層8の低い部分の表面まで行なう。この様なエッチバック法を採用することにより、レジスト9の表面プロファイルがパッシベーション層8のエッチング表面に再現され高低差が1000Å程度の平坦化が実現される(第1図(b))。この酸化シリコン膜のエッチバック法に関しては、LSIの多層配線における層間絶縁膜の平坦化技術として確立されており容易に行なえる技術である。(例えば電子材料1985年6月p86~p21頁引、井上)。

次に、第1図(c)に示すように、パッシベーション層8上に配向膜10を塗布した。電極基板の表面の段差は高々1,000Åであるが、800Åの配向膜10の塗布でこの段差はさらに緩和されている。この後配向膜10上を配向処理したところ表示電極7上全面に均一な配向処理を施すことが出来た。第2図は本発明の他の実施例の断面図である。

第2図は本発明の他の実施例の断面図である。パッシベーション層8の下に位置している。パッシベーション層8及び配向膜10は、液晶層(配向膜の上に位置する。)に対し電気的に直列に接続された容量となり、液晶層に印加されるべき電圧がこれらの層で分圧される為、駆動電圧が高くなる。第2図に示す実施例はこれを改善するため、表示電極7をパッシベーション層8の上に設けている。まず、第2図(a)に示すように、透明基板1上にゲート電極2とゲート絶縁膜3を設け、ゲート電極2上のゲート絶縁膜3上に半導体層4を設け、ソース電極およびドレイン電極5を設けた後、パッシベーション層8とレジスト(図示せ

ず)を設けて第1図の実施例同様エッチバック法によりパッシベーション層8を平坦化する。次にソース電極6上のパッシベーション層にコンタクトホール11をあけた。

次に、第2図(b)に示すように、一部分がコンタクトホール11を被覆する様に表示電極7を形成した。

最後に配向膜10を塗布し(第2図(c))、織布ローラー12による配向処理を施した。かかる実施例においては、表示電極7が配向膜10の下に位置し液晶への電圧印加に対しパッシベーション層8の影響を受けずすみ、かつ第1図の実施例同様、表面段差が少ない為、均一な配向処理が実現出来た。

〔発明の効果〕

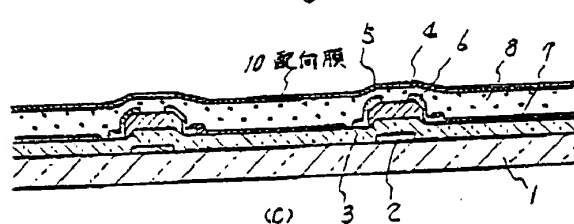
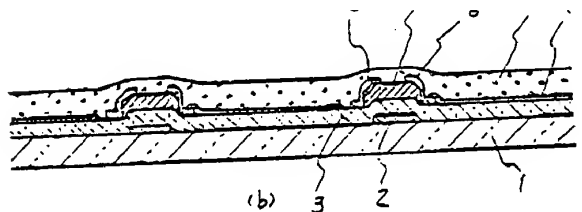
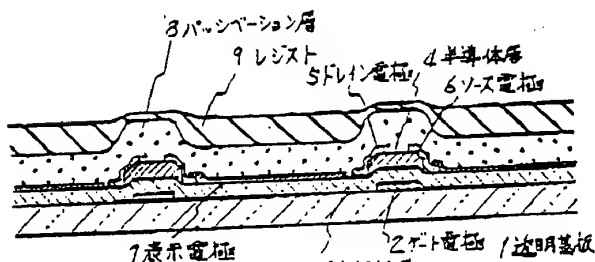
以上説明したように本発明はパッシベーション層をエッチバック法により平坦化することにより表示電極上の配向処理を均一に出来、表示ムラをなくすることが可能となった。

4. 図面の簡単な説明

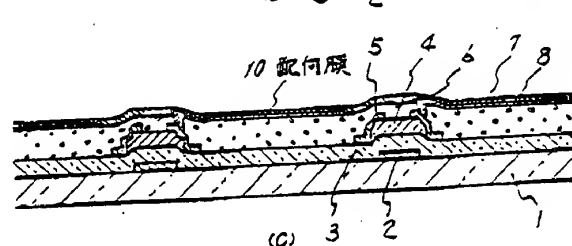
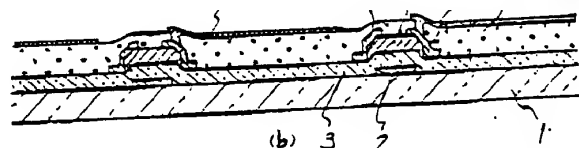
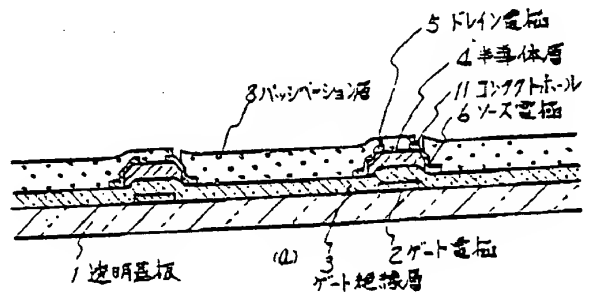
第1図(a)~(c)は本発明の一実施例を工程順に示した断面図、第2図(a)~(c)は本発明の他の実施例を工程順に示した断面図、第3図(a)~(c)は従来方法を工程順に示した断面図、第4図は従来方法の配向処理方法を示したもので、同図(a)は配向処理工程の断面図、同図(b)は配向処理後の基板の平面図である。

1……透明基板、2……ゲート電極、3……ゲート絶縁層、4……半導体層、5……ドレイン電極、6……ソース電極、7……表示電極、8……パッシベーション層、9……レジスト層、10……配向膜、11……コンタクトホール、12……織布ローラー、13……キズ、14……配向不良となる領域。

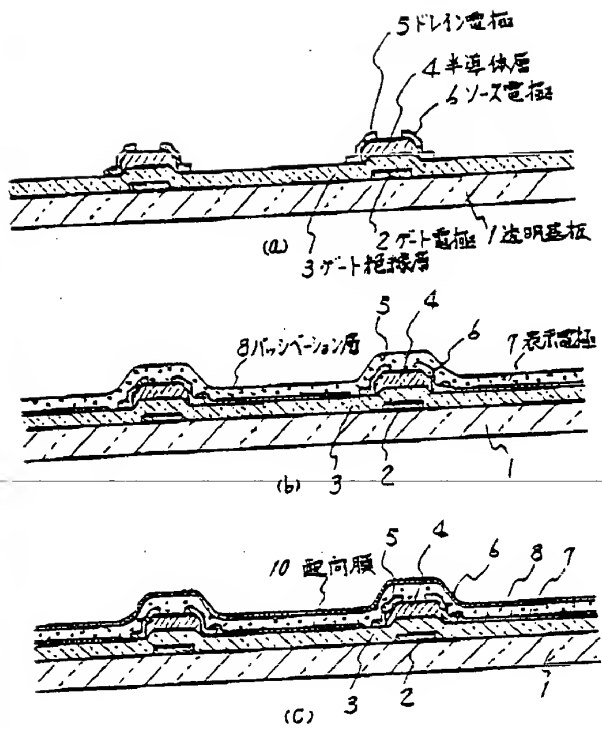
代理人 弁理士 内 原 晋



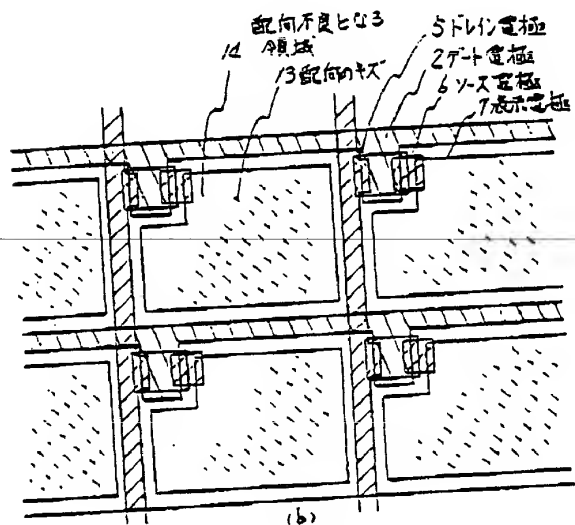
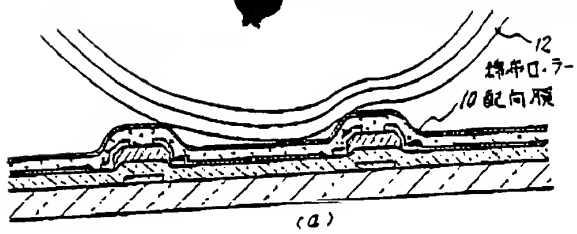
第1図



第2図



第3図



第4図